

北 京 科 技 大 学

2015 年硕士学位研究生入学考试试题

试题编号： 869 试题名称： 计算机组成原理 （共 6 页）

适用专业： 计算机科学与技术、软件工程、计算机技术（专业学位）、
软件工程（专业学位）

说明： 所有答案必须写在答题纸上，做在试题或草稿纸上无效。

一、填空题(每空 1 分, 共 50 分)

1. 设形式地址为 X, 则在直接寻址方式中, 操作数的有效地址为(); 间接寻址方式中, 操作数的有效地址为(); 在相对寻址中, 操作数的有效地址为()。
2. CPU 响应中断时需要保存当前现场, 这里现场指的是()寄存器和()寄存器的内容, 它们被保存到()中。
3. 有些计算机将一部分软件永恒地存于只读存储器中, 称为()。
4. 微命令一般分为()与()两种电信号形式。
5. CPU 的四个主要功能是()、()、()和()。
6. 内存储器容量为 6K 时, 若首地址为 00000H, 那么末地址的十六进制表示是()。
7. 层次化存储体系涉及到主存、辅存、cache 和寄存器, 按存取时间由短至长的顺序是()。
8. 由容量为 16KB 的缓存和容量为 16MB 的主存构成的存储系统的总容量为()。
9. 在浮点补码二进制加减运算中, 当尾数部分出现()和()形式时, 需进行左规; 当尾数部分出现()和()形式时, 需进行右规。
10. 已知 $[x]_{\text{补}} = x_0 \cdot x_1 x_2 \dots x_n$, 则 $[-x]_{\text{补}} = ()$ 。
11. 堆栈寻址需在 CPU 内设一个专用的寄存器, 称为(), 其内容是()。
12. 某计算机中, 浮点数的阶码占 8 位, 最左一位为符号位, 尾数占 40 位, 最左一位为符号位, 都采用补码, 则该机器中所能表达的最大浮点数是()。
13. 虚拟存储器在运行时, CPU 根据程序指令生成的地址是(), 该地址经过转换形成()。
14. 微指令中的顺序控制部分用来决定()。
15. CPU 从主存取出一条指令并执行该指令的时间叫(), 它常用若干个()来表示, 而后者又包含若干个()。
16. 两个 BCD 码相加, 当结果大于 9 时, 修正的方法是将结果(), 并产生进位输出。
17. 单处理器系统中的总线可以分为三类, CPU 内部连接各寄存器及运算部件之间的总线称为(); 中、低速 I/O 设备之间互相连接的总线称为 I/O 总线; 同一台计算机系统内的告诉功能部件之间相互连接的总线称为()。
18. 浮点运算器由()和()组成, 它们都是()运算器。前者要

- 求能执行()运算, 后者要求能进行()运算。
19. 统一编址方式是将()和()统一进行编址。
20. 当指令取至指令寄存器后, 每一条机器指令微程序的入口地址根据()通过()形成。
21. 一个采用直接映射方式的 32KB 的缓存, 假设块长为 8 个 32 位的字, 且 CPU 访问缓存命中, 则主存地址为 ABCDEFH 的单元在缓存的第()H 块内。
22. 在同一微周期中()的微命令, 称之为互斥的微命令; 在同一微周期中()微命令, 称之为相容的微命令。显然, ()不能放在一起译码。
23. 取指令过程是由()给出现行指令地址送至(), 经地址线从存储器读出, 经数据线送至 CPU 中的(), 最终送至()。

二、单项选择题 (每小题 2 分, 共 30 分)

- 在指令周期的第一个 CPU 工作周期内, CPU 中主存地址寄存器内容是
 - 指令
 - 指令地址
 - 数据
 - 数据地址
- 在同步控制方式中
 - 各指令的执行时间相同
 - 各指令占用的节拍数相同
 - 由统一的时序信号进行定时控制
 - CPU 必须采用微程序控制方式
- 运算器的 ALU 输入端结构和寄存器组结构的选择会影响运算器速度, 下面四个选择方案中, 速度最慢的是
 - ALU 输入端采用锁存器向 ALU 传送操作数, 寄存器组采用高速小存储器结构
 - ALU 输入端采用锁存器向 ALU 传送操作数, 寄存器组采用独立寄存器结构
 - ALU 输入端采用多路选择器向 ALU 传送操作数, 寄存器组采用独立寄存器结构
 - ALU 输入端采用多路选择器向 ALU 传送操作数, 寄存器组采用高速小存储器结构
- ()方式对实现程序浮动提供了支持。
 - 变址寻址
 - 相对寻址
 - 间接寻址
 - 寄存器间接寻址
- 假设微操作控制信号用 C_n 来表示, 指令操作码译码器输出用 I_m 表示, 节拍电位信号用 M_k 表示, 节拍脉冲信号用 T_i 表示, 状态反馈信息用 B_j 表示, 则硬布线控制器的基本原理可表示为
 - $C_n = f(I_m, T_i)$
 - $C_n = f(I_m, B_j)$
 - $C_n = f(M_k, T_i, B_j)$
 - $C_n = f(I_m, M_k, T_i, B_j)$
- 单地址指令中为了完成两个数的算术运算, 除地址码指明的一个操作数外, 另一个经常需采用
 - 堆栈寻址
 - 立即寻址
 - 隐含寻址
 - 间接寻址
- 在单机系统中提高存储器系统性能的主要措施有
 - a, b
 - b, c, d
 - b, c, d
 - a, b, c, d
 - 采用双端口存储器
 - 采用并行存储器
 - 采用高速缓冲存储器
 - 采用虚拟存储技术
- 若第 $i-1$ 位为低位, 用异或门实现半加操作, 用两次半加实现一次全加; 输入 A 和 B, 和为 S, 进位为 C, 则第 i 位全加器的 $S(i)$ 和 $C(i)$ 为

- A、 $S(i)=A(i) \oplus B(i)$, $C(i)=A(i)B(i)$
 B、 $S(i)=A(i) \oplus B(i) \oplus C(i-1)$, $C(i)=A(i)B(i)$
 C、 $S(i)=A(i)B(i)+(A(i) \oplus B(i))C(i-1)$, $C(i)=A(i) \oplus B(i) \oplus C(i-1)$
 D、 $S(i)=A(i) \oplus B(i) \oplus C(i-1)$, $C(i)=A(i)B(i)+(A(i) \oplus B(i))C(i-1)$
9. 在下面的结论中，正确的是
 A、主存是主机的一部分，不能通过单总线被访问
 B、主存可以和外围设备一样，通过单总线被访问
 C、主存是主机的一部分，必须通过专用总线进行访问
 D、主存是主机的一部分，必须通过内总线进行访问
10. 主存储器一般
 A、采用奇偶校验
 B、采用海明校验
 C、采用循环码校验
 D、不需要校验
11. 脉冲型微命令的作用是
 A、在脉冲宽度时间内打开数据传送通路
 B、用脉冲边沿进行操作定时
 C、在脉冲宽度时间内进行数据通路操作
 D、在脉冲宽度时间内进行 ALU 操作
12. CPU 内若设置一组通用寄存器，那么通用寄存器的位数一般取决于
 A、指令字的长度
 B、地址寄存器的位数
 C、机器字长
 D、主存容量
13. 在微指令中，（微）操作控制字段的作用是
 A、产生一条指令所需的微指令
 B、控制指令的执行
 C、直接提供或经分段译码后提供一步操作所需的微命令
 D、控制微程序的执行顺序
14. 一个 8 位二进制整数，采用补码表示，且由 3 个“1”和 5 个“0”组成，则其最小值是
 A、-127
 B、-32
 C、-125
 D、-3
15. 在三级时序系统中，电平型微命令一般
 A、需要维持一个指令执行周期
 B、维持一个工作周期
 C、维持一个节拍的时间
 D、只维持一个脉冲宽度的时间

三、判断题(每小题 1 分, 共 10 分)

- 对于种类不同的计算机，其机器指令系统都是相同的。()
- 仅当一条指令结束时，CPU 才能响应 DMA 请求。()
- 同字长的定点整数的补码表示范围和移码表示范围相同。()
- 个人微机使用过程中突然断电，RAM 中保存的信息全部丢失，而 ROM 中保存的信息不受影响。()
- CPU 访问主存储器是 CPU 必备的基本功能之一，为此指令必须设置专门的访存指令。()
- 一段微程序解释执行一条机器指令，因此微程序总长度必然大于工作程序的总长度。()
- 中断方式一般适用于随机出现的服务。()
- 磁盘存储器与主存之间的信息传送，一般采用程序中断方式。()

9. CPU 中通常都设置若干个寄存器, 这些寄存器与主存统一编址。访问这些寄存器的指令格式与访问存储器是相同的。()
10. 自减型寄存器寻址方式的含义是: 指令中给出寄存器号, 将该寄存器内容减 1 后作为操作数地址, 按此地址访存, 即可读出操作数。()

四、问答题(5 小题, 共 25 分)

1. (4 分) 当指令系统和数据通路结构确定后, 组合逻辑设计控制单元的设计步骤。
2. (5 分) 在图 1 中填入计算机硬件系统基本组成部件的名称, 并说明各部件功能。

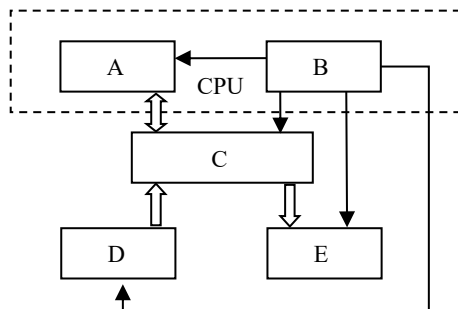


图 1 计算机硬件系统基本组成框图

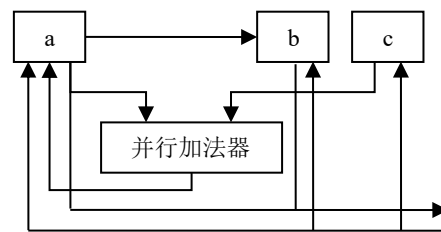


图 2 定点运算器结构

3. (5 分) 图 2 所示的定点运算器结构, 能完成加、减、乘三种算术运算。设累加器用 AC 表示, 乘商寄存器用 MQ 表示, 数据寄存器用 DR 表示。

- (1) 试在三个寄存器中用英文符号标其名称, 其中 a 为 (), b 为 (), c 为 ()。
- (2) 用规定的英文符号列出具有移位功能的寄存器 ()。
- (3) 用规定的英文符号填写加、减、乘三种运算的操作表达式,
- 加法: () + () → ()
- 减法: () - () → ()
- 乘法: () × () → () 和 () 串接

4. (3 分) 什么是时间局部性和空间局部性? 并分别给出一个程序执行中符合两种局部性原理的例子。

5. (8 分) 已知 CPU 结构如图 3 所示, 其中包括一个累加器 AC、一个状态寄存器和其他几个寄存器。各部分之间的连线表示数据通路, 箭头表示信息传递方向。试完成以下工作:

- (1) 写出图中四个寄存器 A、B、C、D 的名称和作用;
- (2) 写出从取指到完成指令 ADD Y 的指令流程 (Y 为存储单元地址, 本指令功能为 ((AC)+(Y)→AC)。

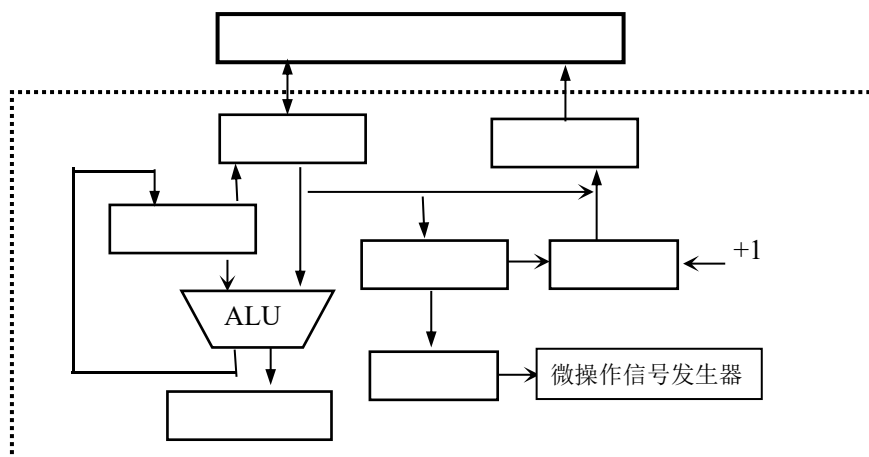


图3 CPU 结构图

五、分析计算题(10 小题, 共 35 分)

- (4 分)设指令字长等于存储字长均为 16 位, 若指令系统采用单地址指令, 共能完成 58 种操作, 操作码长度固定, 且具有立即、间接、直接、变址四种寻址方式(变址寄存器为 32 位), 则该指令系统可直接寻址的范围是 (), 间接寻址的范围是 (), 变址寻址的范围是 (), 立即数(补码表示)的范围是 ()。
- (6 分)某浮点数字长 16 位, 其中阶码 4 位(含 1 位阶符), 以 2 为底, 移码表示; 尾数含 1 位数符, 共 12 位, 补码表示, 规格化, 求
 - (1) 真值 $(-25 \times 0.375)_{10}$ 的浮点数代码(16 进制表示编码)。
 - (2) 浮点数编码为 1010011010000000 的真值。
- (2 分)设浮点数字长为 24 位, 欲表示 $-6 \times 10^4 \sim 6 \times 10^4$ 之间的十进制数, 在保证数的最大精度条件下除阶符、数符各取 1 位外, 阶码应取 () 位(不含符号位)。
- (3 分)设机器数字长为 8 位(含 1 位符号位), 若机器数为 FEH(十六进制), 当它分别代表原码、补码、反码时, 等价的十进制整数分别为 ()、()、()。
- (2 分)某机采用三地址格式指令, 共能完成 50 种操作, 若机器可在 1K 地址范围内直接寻址, 则指令字长应取 () 位。
- (2 分)若一个高速缓存 cache 采用直接映象方式, cache 有 32 页, 主存有 512 页, 主存每页长为 16 字, 则 cache 的容量为多少?
- (4 分)某计算机采用微程序控制, 微指令字中操作控制字段共 16 位,
 - (1) 若采用直接控制, 则可以定义多少种微操作? 此时一条微指令最多可同时启动多少个微操作?
 - (2) 若采用编码控制, 并要求一条微指令需同时启动 4 个微操作, 则微指令字中的操作控制字段应分成多少段? 若每个字段的微命令数相同, 这样的微指令格式最多可包含多少个微操作命令?
- (6 分)设有两个浮点数 $N_1 = 2^{j_1} \times S_1$, $N_2 = 2^{j_2} \times S_2$, 其中阶码 3 位, 含 1 位阶符, 补码表示; 尾数 5 位, 含 1 位数符, 原码表示。设 :

$$j_1 = (-10)_2, S_1 = (+0.1001)_2, j_2 = (+10)_2, S_2 = (+0.1011)_2$$
 求: $N_1 \times N_2$, 写出运算步骤及结果, 积的尾数占 4 位, 要规格化结果。
- (2 分)已知寄存器位数为 8 位, 机器数取 1 位符号位, 设其内容为 01101100, 当它代表补码时, 算术左移一位后得 (), 算术右移一位后得 ()。

10. (4 分) 设某计算机数据线、地址线均是 8 位，有一条相对寻址的无条件转移指令存于内存的 20H 单元中，指令给出的位移量 $D=00010101B$ ，该指令占用 2 个字节，试计算：

- (1) 取该指令时 PC 的内容。
- (2) 该指令执行结束时 PC 的内容。