

# 北 京 科 技 大 学

## 2013 年硕士学位研究生入学考试试题

---

试题编号： 869      试题名称： 计算机组成原理      （共 9 页）

适用专业： 计算机科学与技术、软件工程、计算机技术（专业学位）、  
软件工程（专业学位）

---

说明： 所有答案必须写在答题纸上，做在试题或草稿纸上无效。

---

### 一、选择（满分 20 分，每题 1 分）

1. 计算机中采用补码运算的目的是为了（ ）
  - (A) 与手工运算方式保持一致
  - (B) 提高运算速度
  - (C) 简化计算机的设计
  - (D) 提高运算的精度
2. 下列叙述中，不正确的是（ ）
  - (A) 串行加法器位数越多加法时间越长
  - (B) 超前进位加法器位数越多高位电路越复杂
  - (C) 串行加法器比超前进位加法器的加法时间长的原因是串行加法器进位串行传递
  - (D) 串行加法器比超前进位加法器的加法时间长的原因是串行加法器高位电路复杂
3. IEEE754 的浮点数  $C1E00000_{\text{hex}}$  代表的真实数值是（ ）
  - (A) -7.0
  - (B) -28.0
  - (C) -14.0
  - (D) 14.0
4. 关于海明校验码的说法中，正确的是（ ）
  - (A) 只能检测出一位出错
  - (B) 能检测出两位同时出错
  - (C) 不能指出哪一位出错
  - (D) 能纠正两位错误
5. 以下几种存储器中，存取速度最快的是（ ）
  - (A) Cache
  - (B) 寄存器
  - (C) 内存
  - (D) 闪存

6. 关于 DRAM 刷新的说法中，错误的是（ ）
- (A) 刷新是通过对存储单元进行“读但不输出数据”的操作来实现的
  - (B) 刷新时指对 DRAM 中的存储电容重新充电
  - (C) 由于 DRAM 内部设有专门的刷新电路，所以访存期间允许刷新
  - (D) 刷新是按行进行的
7. 在程序的执行过程中，Cache 与主存的地址映射是由（ ）
- (A) 操作系统来管理的
  - (B) 硬件自动完成的
  - (C) 硬件和软件共同完成的
  - (D) 编译器和程序员调度的
8. 当访问 Cache 系统失效时，通常不仅主存向 CPU 传送信息，同时还需要将信息写入 Cache，在此过程中传送和写入的信息数据宽度各为（ ）
- (A) 字，块
  - (B) 字，字
  - (C) 块，页
  - (D) 块，块
9. 关于 Cache 的说法中，正确的是（ ）
- (A) Cache 的容量与主存容量的差距越大越好
  - (B) 采用直接映像时，Cache 无需考虑替换问题
  - (C) 采用直接映像时，一般用最近最少使用替换算法
  - (D) 如果采用最优替换算法，则 Cache 的命中率可达到 100%
10. 存储中，信息按对齐方式存储（整数边界方式存储）的含义是（ ）
- (A) 信息的字节长度必须是整数
  - (B) 信息单元的字节长度必须是整数
  - (C) 信息单元的存储地址必须是整数
  - (D) 信息单元的存储地址是其节长度的整数倍
11. 虚拟存储器中关于页表、快表和慢表叙述中正确的是（ ）
- (A) 快表与慢表都存储在主存中，但快表比慢表容量小
  - (B) 快表采用了优化搜索算法，因此查找速度快
  - (C) 快表采用高速存储器件组成，按查找内容访问，因此比慢表查找速度快
  - (D) 快表比慢表命中率高，可以得到更多的搜索结果
12. 虚拟存储器不能解决的问题是（ ）
- (A) 存储系统成本高
  - (B) 编程空间受限
  - (C) 访问速度慢
  - (D) 程序空间到物理空间的转换

13. 若指令中地址码给出的是操作数有效地址，这种寻址方式为（ ）
- (A) 立即寻址
  - (B) 直接寻址
  - (C) 间接寻址
  - (D) 相对寻址
14. 计算机指令中要用到的操作数一般可来自（ ）部件
- (A) 通用寄存器
  - (B) 内存存储单元
  - (C) 外设接口中的寄存器
  - (D) 以上三种均可以
15. CPU 功能不包括（ ）
- (A) 执行指令
  - (B) 执行子程序调用
  - (C) 执行 DMA 操作
  - (D) 检测并响应中断
16. 在计算机中，存放微指令的控制存储器隶属于（ ）
- (A) 外存
  - (B) 高速缓存
  - (C) 内存
  - (D) CPU
17. 在一个微指令周期中（ ）
- (A) 只能执行一个微操作
  - (B) 能顺序执行多个微操作
  - (C) 能并行执行多个互斥微操作
  - (D) 能并行执行多个相容微操作
18. 下列说法正确的是（ ）
- (A) 取指周期一定等于机器周期
  - (B) 指令字长等于存储字长的前提下，取指周期等于机器周期
  - (C) 指令字长等于机器字长的前提下，取指周期等于机器周期
  - (D) 取指周期与机器周期没有必然的联系
19. 采用 DMA 方式传送数据时，每传送一个数据就要占用一个（ ）
- (A) 指令周期
  - (B) 中断周期
  - (C) 存储周期
  - (D) 节拍周期
20. 对于单重中断处理过程，说法不正确的是（ ）
- (A) 中断请求是中断源发出并送给 CPU 的控制信号
  - (B) CPU 在每个机器周期后要检查是否有中断请求
  - (C) 开中断是为了 CPU 能相应嵌套的中断请求

(D)在进入中断设备服务程序之前不需要开中断

## 二、填空（满分 40 分，每题 2 分）

1. 某机器字长 32 位，其中一位符号位，定点小数补码最大数\_\_\_\_\_最小数为 \_\_\_\_\_
2. 若定点整数 64 位，含一位符号位，补码表示，则所能表示的绝对值最大的负数为\_\_\_\_\_
3. 小端次序的机器上，四字节数据 12345678H 按字节地址由小到大的存储序列为 \_\_\_\_\_
4. 某存储系统中，主存容量是 Cache 容量的 1024 倍，Cache 被分为 8 个块，当主存地址和 Cache 地址采用直接映像方式时，地址映射表的大小为 \_\_\_\_\_（假设不考虑一致维护位）
5. 一个带有 Cache 的计算机系统中，Cache 的容量为 256KB，主存的容量为 1024MB，则 Cache-主存层次的等效容量为 \_\_\_\_\_
6. 在页面尺寸为 4KB 的页式存储管理中，页表中的内容依次是 2、5、6、8、7、11，则物理地址 32773 对应的逻辑地址为 \_\_\_\_\_
7. 设相对寻址的转移指令占两个字节第一字节是操作码，第二字节是用补码表示的相对位移量，若转移指令地址为 2008H，要求转移到 2002H，则该转移指令第二字节内容为 \_\_\_\_\_
8. 一个五级流水线处理器，连续向此流水线输入 100 条指令，如不考虑冲突情况，在第 78 个时钟周期结束时，共执行完的指令条数为\_\_\_\_\_条
9. 设指令字长 16 位，采用扩展操作码，操作数地址需 4 位，该指令系统已有三地址指令 X 条，二地址指令 Y 条，无零地址指令，则一地址指令最多 \_\_\_\_\_
10. 假设某计算机共有 256 个微命令，如果采用字段直接编码法，若 4 位为一个段，共需 \_\_\_\_\_ 段，操作控制字段需 \_\_\_\_\_ 位
11. 提高加法器运算速度的关键是 \_\_\_\_\_
12. 减法可以和加法使用同一部件的关键是\_\_\_\_\_
13. 在指令格式设计中，采用扩展操作码技术的目的是：  
\_\_\_\_\_

14. 在浮点数表示方法中,阶码表示\_\_\_\_\_,阶码位数越多,该浮点数表示的\_\_\_\_\_ 越大。
15. 采用数据校验码的目的是\_\_\_\_\_。
16. 常用的数据校验码有奇偶校验码、\_\_\_\_\_和\_\_\_\_\_
17. 影响流水线性能的主要因素有\_\_\_\_\_
18. 中断响应过程中, 保护程序计数器 PC 的作用是\_\_\_\_\_
19. 构成控制信号序列的最小单位是 \_\_\_\_\_
20. 在机器码中, 零的表示唯一的码是\_\_\_\_\_ 和 \_\_\_\_\_

### 三、简答题（满分 30 分，每题 6 分）

1. 溢出检测是处理器设计必须考虑的问题, 请简述加/减法运算器的溢出检测方法, 并给出示意电路图。
2. 简述加法运算器中快速进位链的作用及其实现原理
3. 简述局部性原理, 并给出一个程序执行中符合某种局部性原理的例子。
4. 简述层次存储系统中快表的组成及作用
5. 简述中断屏蔽字的作用

### 四、综合题（共 40 分）

1. 已知  $X = -0.0110001 \times 2^{11}$ ,  $Y = 0.1100110 \times 2^{-10}$  (此处数均为二进制)。浮点数阶码用 4 位移码, 尾数用 8 位补码表示 (含符号位) (8 分)
  - (1) 写出 X, Y 的浮点数表示 (要求格式: 数符 阶码 尾数)
  - (2) 计算  $X+Y$  要求给出运算过程 (舍入采用 0 舍 1 入法), 并判断是否溢出
2. 请写出“1 位 Booth 乘法”  $6 \times 7 = 42$  的详细执行过程。其中乘法器宽度为 4 位, 要求按照: 执行周期、被乘数、部分积格式写出执行过程; 并画出电路示意图 (8 分)
3. 有一个全相联 Cache 系统, Cache 由 4 个块构成, CPU 送出的主存地址流序列为: 2, 12, 9, 12, 2, 8, 7, 5 分别给出先进先出替换算法和最近最少使用替换算法的相应地址分配和操作。(8 分)

访问序列	1	2	3	4	5	6	7	8
地址序列	2	12	9	12	2	8	7	5
块分配情况								

先进先出替换算法

访问序列	1	2	3	4	5	6	7	8
地址序列	2	12	9	12	2	8	7	5
块分配情况								

最近最少使用替换算法

4. 设有一台计算机，其指令长度为 16 位，指令格式如下：

15	11	10	8	7	5	4	0
OP		R		M		D	

该指令的功能是  $(R) \leftarrow (R) \text{ OP } (M/D)$

其中 OP 为操作码，占 5 位；第一操作数 R 为寄存器直接寻址，第二操作数由 M 和 D 共同决定寻址方式（M 为寻址方式，D 为形式地址）且规定如下：

- M=000，为立即寻址，D 为立即数；
- M=001，为相对寻址，D 为位移量；
- M=010，为基址寻址，D 为位移量；
- M=011，为寄存器间接寻址，D 为寄存器号；

假定要执行的指令为加法指令（ADD），存放在 002000 单元中，D 的值为 02，该指令执行前存储器内容如图 1 所示；通用寄存器组、变址寄存器和基址寄存器内容如图 2 所示。问：当 M 分别为以下几种情况时，该指令执行后，结果是什么？（要求写出计算过程）（8 分）

- （1）当 M=000 时，结果是什么？放在哪个寄存器中？
- （2）当 M=001 时，结果是什么？放在哪个寄存器中？
- （3）当 M=010 时，结果是什么？放在哪个寄存器中？
- （4）当 M=011 时，结果是什么？放在哪个寄存器中？

内存地址	15	11	10	8	7	5	4	0
	OP		R		M		D	
002000	ADD		001				02	
002002	001050							
002004	001150							
002006	001250							
⋮	⋮							
004002	002006							
004004	002016							

图 1 存储器内容

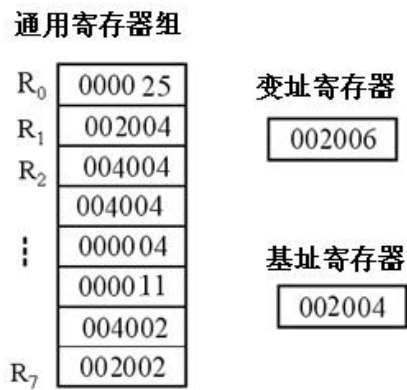
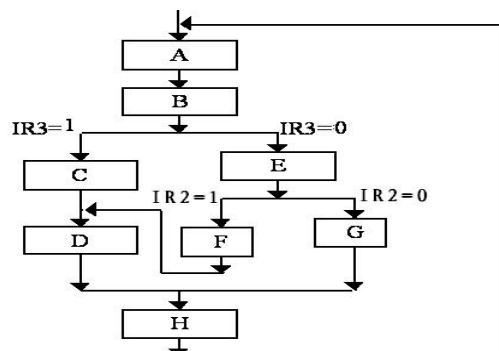


图 2 寄存器内容

5. 用增量方式和断定方式结合法为下图所示的微指令序列安排微地址。(8 分)

要求：

- (1) 给出微指令格式并指出微地址至少多少位？
- (2) 给出转移控制条件定义
- (3) 给出具体微指令的微地址安排



五、设计题（共 20 分）

某计算机机器字长为 8 位，系统通用寄存器 2 个。指令采用变长指令格式，指令长为 1~2 字（8~16 位），其中第一字为操作码和寻址特征，第二字为立即数（Imm）或偏移量，指令第一字的位 1 为指令长度标识，位 1 内容为 0 表示单字长指令，位 1 内容为 1 表示双字长指令（如图 1 所示）。



图 1 指令格式—指令长度

现有二操作数指令三条，操作数寻址定义见图 2。其中第 2 位为第一操作数，来源于通用寄存器，内容为 0 表示 R<sub>0</sub>；内容为 1 表示 R<sub>1</sub>；第 0,1 位表示第二操作数，寻址编码见表 1；第 3 位表示目的操作数，内容为 0 表示结果存在第一操作数位置，内容为 1 表示结果存在第二操作数位置。

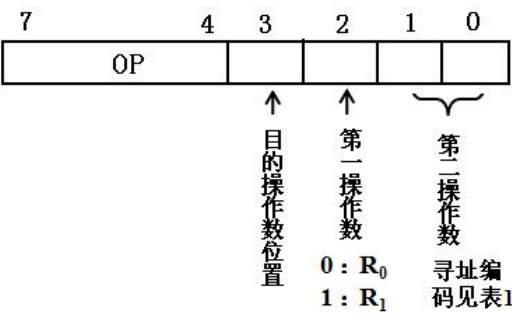


图 2 指令格式—操作数定义

表 1 寻址方式编码

寻址字段（位1、0）	寻址方式及所用寄存器
0 0	R <sub>0</sub> 寄存器寻址
0 1	R <sub>1</sub> 寄存器寻址
1 0	立即寻址
1 1	直接寻址

系统部分数据通路结构如图 3 所示，在图 3 中所用控制信号为 1 时表示有效，为 0 时表示无效。



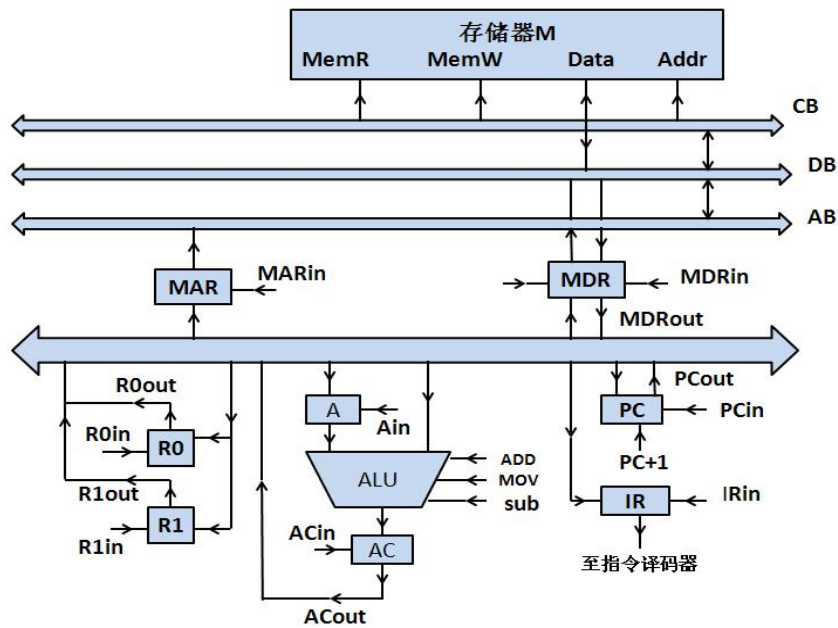


图 3 数据通路

现有三条指令：

(1)

ADD	0	0	0	1
-----	---	---	---	---

(2)

MOV	0	1	1	0
立即数				

(3)

SUB	1	1	1	1
内存地址				

请分别给出此三条指令的指令流程，并画出能执行此三条指令的控制信号状态转换图。